

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Appl. No. : New Application
Applicant : Bumman KIM et al.
Filed : Herewith

Docket No. : 1751-356
Customer No. : 06449

SUBMISSION OF PRIORITY APPLICATION

Director of the United States Patent
and Trademark Office
P.O. Box 1450
Alexandria, Virginia 22313-1450

Dear Sir:

Submitted herewith is a certified copy of Korean Patent Application No. 2003-70639, filed October 10, 2003, from which priority has been claimed in the above-referenced patent application.

Respectfully submitted,

By G. F. Rothwell
G. Franklin Rothwell
Attorney for Applicants
Registration No. 18,125
ROTHWELL, FIGG, ERNST & MANBECK, p.c.
Suite 800, 1425 K Street, N.W.
Washington, D.C. 20005
Telephone: (202)783-6040

Enclosure(s): (1) Certified Priority Document



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0070639
Application Number

출원년월일 : 2003년 10월 10일
Date of Application OCT 10, 2003

출원인 : 학교법인 포항공과대학교
Applicant(s) POSTECH FOUNDATION



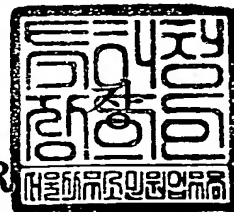
2004 년 03 월 03 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2003.10.10
【국제특허분류】	H04B
【발명의 명칭】	전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법
【발명의 영문명칭】	Digital feedback linearizer for linearizing power amplifier and method therefor
【출원인】	
【명칭】	학교법인 포항공과대학교
【출원인코드】	2-1999-900096-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050323-2
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-006267-7
【발명자】	
【성명의 국문표기】	김범만
【성명의 영문표기】	KIM, Bumman
【주민등록번호】	470103-1066716
【우편번호】	790-390
【주소】	경상북도 포항시 남구 지곡동 교수아파트 C-1005
【국적】	KR
【발명자】	
【성명의 국문표기】	이재혁
【성명의 영문표기】	YI, Jaehyok
【주민등록번호】	740314-1674637
【우편번호】	790-784

【주소】	경상북도 포항시 남구 효자동 포항공과대학교 전자전기공학과 LG동 2 10호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	우영윤		
【성명의 영문표기】	W00,Young Yun		
【주민등록번호】	760813-1674411		
【우편번호】	790-784		
【주소】	경상북도 포항시 남구 효자동 포항공과대학교 전자전기공학과 LG동 2 10호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의 한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	9	면	9,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	12	항	493,000 원
【합계】	531,000 원		
【감면사유】	학교		
【감면후 수수료】	265,500 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 디지털 신호 처리(DSP; Digital Signal Process)와 피드백 기술을 이용하는 디지털 피드백 전치 왜곡 장치(FBPD; Feedback Predistorter) 및 방법으로서, 소정 경로를 통해 입력되는 입력 신호에 전력 증폭기(PA; Power Amplifier)의 왜곡 성분에 대응되는 역 왜곡 성분을 피드백으로 가산하여 선형화에 필요한 전치 왜곡 신호를 생성하고, 이 전치 왜곡 신호를 전력 증폭기에 통과시켜 선형적으로 증폭된 출력 신호를 얻도록 함으로써 전력 증폭기의 선형성을 효과적으로 개선시킬 수 있고, 안정성이 우수하고 넓은 동작 대역을 가지며, 가격과 크기 경쟁력이 우수한 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법에 관한 것이다.

【대표도】

도 2

【명세서】**【발명의 명칭】**

전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법{Digital feedback linearizer for linearizing power amplifier and method therefor}

【도면의 간단한 설명】

도 1은 종래기술에 의한 전력 증폭기의 선형화를 위한 선형화 장치로서 아날로그 피드백 전치 왜곡 장치의 구성도.

도 2는 본 발명의 일실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치의 구성도.

도 3은 도 2의 선형화 장치에 의해 구현되는 본 발명에 따른 선형화 방법의 흐름도.

도 4는 본 발명의 다른 실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치의 구성도.

도 5는 도 4의 선형화 장치에 의해 구현되는 본 발명의 다른 실시예에 따른 선형화 방법의 흐름도.

도 6은 본 발명에 따른 선형화 장치의 동작 원리를 설명하기 위한 도면.

도 7은 종래기술에 의한 디지털 전치 왜곡 장치(PD; Predistorter)와 본 발명에 따른 디지털 피드백 선형화 장치(FBPD; Feed Back Predistorter)의 수렴 속도의 시뮬레이션 결과를 비교하여 나타낸 그래프.

도 8a 및 도 8b는 종래기술에 의한 디지털 전치 왜곡 장치와 본 발명에 따른 디지털 피드백 선형화 장치의 출력 신호의 선형화 후 왜곡 정도의 시뮬레이션 결과를 비교하여 나타낸 그래프.

<도면의 주요부분에 대한 부호의 설명>

10 : 전력 증폭기(PA; Power Amplifier)

100, 200 : 디지털 피드백 선형화 장치

110, 215 : 디지털 신호 처리부(DSP; Digital Signal Processor)

112 : 입출력 신호 차감부

114, 214 : 룩업 테이블(Look-up table)

116, 216 : 신호 가산부

118, 218 : 출력 신호 감쇄부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 이동통신 기지국용 전력 증폭기(PA: Power Amplifier)의 선형성을 개선시키기 위한 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법에 관한 것으로서, 더 상세하게는 디지털 신호 처리(DSP; Digital Signal Process)와 피드백 기술을 이용하는 디지털 피드백 전치 왜곡 장치 및 방법으로서, 소정 경로를 통해 입력되는 입력 신호에 전력 증폭기의 왜곡 성분에 대응되는 역 왜곡 성분을 피드백으로 가산하여 선형화에 필요한 전치 왜곡 신호를 생성하고, 이 전치 왜곡 신호를 전력 증폭기에 통과시켜 선형적으로 증폭된 출력 신호를 얻도

록 함으로써 전력 증폭기의 선형성을 효과적으로 개선시킬 수 있는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법에 관한 것이다.

<18> 한편, 본 발명은 입력 신호의 크기에 대응되는 적당한 역 왜곡 성분을 미리 작성되어 저장된 룩업(look-up) 테이블을 통해 얻을 수 있게 함으로써 해당 입력 신호에 대한 최적의 전치 왜곡 신호를 만들 수 있는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법에 관한 것이다.

<19> 당업자에게 잘 알려진 바와 같이, 무선 기지국용 전력 증폭기는 입력 신호를 신호의 왜곡 없이 고전력으로 증폭해야 한다. 특히, 광대역 부호 분할 다중 접속(WCDMA; Wideband Code Division Multiple Access) 방식의 경우 멀티 캐리어(MC; Multi-Carrier) 전송 방식을 사용하기 때문에 선형성에 대한 규격이 더욱 더 중요하다. 따라서, 좀 더 좋은 선형성 확보를 위해 다양한 선형화 기술들과 이 기술들이 적용된 다양한 장치들이 사용되고 있는데, 그 대표적인 선형화 장치들로서 아날로그 전치 왜곡기, 아날로그 피드백 선형화 장치, 피드포워드(Feedforward) 선형화기, 디지털 전치 왜곡기 등이 있다.

<20> 상기한 선형화 장치들 중에서 아날로그 전치 왜곡기 및 아날로그 피드백 선형화 장치는 협대역의 주파수 특성을 보이기 때문에 입력 신호를 목표치까지 선형화하기 어려운 문제점을 가지고 있다. 한편, 상기 피드포워드 선형화기는 최근까지 가장 많이 사용해 온 선형화 장치로, 선형화 특성은 우수한 반면, 가격 경쟁력이 떨어지며 고열 발생과 큰 사이즈 등 여러가지 문제점을 가지고 있다.

<21> 상기한 피드포워드 선형화기의 문제점을 해결하기 위한 장치가 디지털 신호

처리를 이용하는 디지털 전치 왜곡 장치인데, 이 디지털 전치 왜곡 장치는 주파수 대역의 문제가 크게 없고, 선형성의 개선 정도가 뛰어나며, 가격과 크기 경쟁력이 우수하여 기지국용 선형화 장치로 매우 적합하다. 그러나, 상기 디지털 전치 왜곡 장치는 그 자체에 오차가 많을 경우, 관련되는 전력 증폭기의 오차 허용도가 크지 못하기 때문에 상기 전력 증폭기의 왜곡을 규격 만큼 상쇄시키기 어려운 문제점을 가진다.

<22> 한편, 종래기술에 따른 전력 증폭기의 선형화 장치로서 아날로그 피드백 전치 왜곡 장치는 전치 왜곡 신호를 효과적으로 추출할 수 있으며 왜곡 신호의 상쇄 오차 허용도(tolerance)가 매우 큰 장점을 가지는데, 이를 도 1에 나타내 보였다. 도 1을 참조하면, 종래기술에 따른 아날로그 피드백 전치 왜곡 장치는, 공급 블록(feeding block)(2), 상쇄 블록(cancelling block)(4), 주 증폭기 블록(main amplifier block)(6), 및 벡터 변조기(VM; Vector Modulator)(3)(5) 등을 포함하여 구성된다. 상쇄 블록(4)에서는 주 증폭기(PA)(10)의 출력 신호(y(t))에서 주 증폭기(10)의 입력 신호(u(t))를 상쇄시켜 역 왜곡 성분(e(t))을 추출한다. 공급 블록(2)에서는 상기 역 왜곡 성분(e(t))이 피드백 루프를 통해 입력 신호(x(t))에 가산된다. 도 1에서 벡터 변조기(3)(5)는 각각 입력되는 신호의 위상을 적절하게 변화시키는 역할을 한다.

<23> 도 1에 도시한 바와 같은 아날로그 피드백 전치 왜곡 장치의 출력 신호(y(t))의 주파수 도메인 신호(Y(f))는 다음과 같이 표현된다.

<24>
$$Y = \frac{X}{(1 - Gu)/Gm - Gy} + \frac{(1 - Gu) \cdot Xd}{1 - Gu - Gy \cdot Gm} \quad (1.a)$$

<25>
$$Y \approx -\frac{X}{Gy} - \frac{(1 - Gu) \cdot Xd}{Gy \cdot Gm} \quad (1.b)$$

<26> 상기 공식에서:

- <27> G_m, G_u, G_y : 도 1에서 명시된 각 통로(path)의 이득(gain)
- <28> X : 주파수 도메인의 입력 신호
- <29> X_d : 주 증폭기(10)에 의해 발생하는 혼변조(IM: intermodulation) 신호, 즉 왜곡 성분.
- <30> 상기 공식 (1.a)의 첫번째 항은 증폭된 주신호이며, 두번째 항은 상쇄된 혼변조 신호이다. 혼변조 신호를 완벽하게 상쇄시키기 위해서는 두번째 항을 0으로 근접시켜야 하며, 이를 위해서 G_u 가 1이 되도록 설정함이 바람직하다. G_u 가 1에 가까운 값이라고 봤을 때, 공식 (1.a)는 근사 공식 (1.b)로 표현될 수 있으며, 이 공식은 피드백 동작을 명확하게 보여준다. 장치 전체의 이득(G_{pd})은 피드백 루프의 이득에 의해 결정되며 그 값은 $-1/G_y$ 이다. 혼변조 성분(IM component)은 부정 피드백(negative feedback) 동작 때문에 폐루프(closed loop)의 이득 $G_y \cdot G_m (\geq 1)$ 으로 나뉘어진다. 만약, 도 1에 도시한 장치의 $G_y \cdot G_m$ 이 1보다 훨씬 큰 값으로 설계된다면, 왜곡 성분의 상쇄가 극대화되고 왜곡 상쇄 오차 허용도가 커지게 된다.
- <31> 그러나, 상기한 아날로그 피드백 전치 왜곡 장치는 피드백 특성상 동작 대역이 좁으며 동작이 불안정하여 발진의 가능성이 많은 문제점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

- <32> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 디지털 신호 처리(DSP; Digital Signal Process)와 피드백 기술을 이용하는 디지털 피드백 전치 왜곡 장치 및 방법으로서, 소정 경로를 통해 입력되는 입력 신호에 전력 증폭기의 왜곡 성분에 대응되는 역 왜곡 성분을 피드백으로 가산하여 선형화에 필요한 전치 왜곡 신호를 생성하고, 이 전치 왜곡 신호를 전력 증폭기에 통과시켜 선형적으로 증폭된 출력 신호를 얻도록 함으로써 전력 증폭기의 선형성을 효

과적으로 개선시킬 수 있는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법을 제공하는데 그 목적이 있다.

<33> 본 발명이 이루고자 하는 다른 기술적 과제는, 입력 신호의 크기에 대응되는 적당한 역 왜곡 성분을 미리 작성되어 저장된 룩업(look-up) 테이블을 통해 얻을 수 있도록 함으로써 해당 입력 신호에 대한 최적의 전치 왜곡 신호를 만들 수 있는 디지털 피드백 선형화 장치 및 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<34> 상기 목적을 달성하기 위하여 본 발명의 제1 실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치는, 무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 있어서, 상기 전력 증폭기의 입출력 신호의 차를 생성하기 위한 전력 증폭기 입출력 신호 차감수단과; 상기 입출력 신호 차감수단의 출력 신호값과, 소정 경로를 통해 상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값을 토대로 상기 입력 신호($x(t)$)에 대응하는 역 왜곡 피드백 신호($e(t)$)를 추출하는 역 왜곡 피드백 신호 추출수단; 및 상기 입력 신호($x(t)$)에 상기 역 왜곡 피드백 신호($e(t)$)를 가산하여 상기 전력 증폭기에 입력되는 전치 왜곡 신호($u(t)$)를 생성하는 신호 가산수단을 포함하고, 상기 전력 증폭기는 상기 전치 왜곡 신호를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하도록 된 것을 특징으로 한다.

<35> 바람직하게는, 상기 역 왜곡 피드백 신호 추출수단은 소정 단위로 순차적으로 증가하는 상기 입력 신호($x(t)$)의 크기에 대응하여 양자화된 신호값들로 구성된 룩업 테이블(look-up table)을 포함한다.

<36> 그리고, 상기 목적을 달성하기 위한 본 발명의 제2 실시예의 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치는, 무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 있어서, 상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값의 크기에 대응하여 양자화된 신호값들로 이루어지는 룩업 테이블과; 상기 전력 증폭기에서 피드백되는 출력 신호와 관련되는 피드백 출력 참조 신호($y_r(t)$)를 상기 룩업 테이블에서 선택 결정하기 위한 피드백 출력 참조신호 결정수단과; 상기 입력 신호($x(t)$)에 상기 피드백 출력 참조 신호($y_r(t)$)를 가산하여 상기 전력 증폭기에 입력되는 오차 신호($x_e(t)$)를 생성하는 신호 가산수단을 포함하고, 상기 전력 증폭기는 상기 오차 신호($x_e(t)$)를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하도록 된 것을 특징으로 한다.

<37> 바람직하게는, 상기 전력 증폭기 자체의 이득을 A 로 표시하고, 상기 증폭기에 의한 왜곡 성분을 $d(t)$ 로 표시하고, 피드백에 의한 감쇄 정도를 $1/K$ 로 표시하고, 상기 전력 증폭기의 출력 신호를 $y(t)$ 로 표시할 때, 아래와 공식이 성립한다.

$$<38> \quad y(t) = A \cdot x_e(t) + d(t)$$

$$<39> \quad y_r(t) = \frac{y(t)}{K}$$

$$<40> \quad x_e(t) = x(t) - y_r(t)$$

<41> 또한, 상기 목적을 달성하기 위한 본 발명의 제3 실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 방법은, 무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 의해 구현되는 선형화 방법에 있어서, a) 상기 전력 증폭기의 입출력 신호의 차를 생성하는 단계; b) 상기 a) 단계에서 생성된 입출력 신호 차의 값과, 소정 경로를 통해 상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값을 토대로 상기 입력 신호($x(t)$)에

대응하는 역 왜곡 피드백 신호($e(t)$)를 추출하는 단계; c) 상기 입력 신호($x(t)$)에 상기 역 왜곡 피드백 신호($e(t)$)를 가산하여 상기 전력 증폭기에 입력되는 전치 왜곡 신호($u(t)$)를 생성하는 단계; 및 d) 상기 전력 증폭기가 상기 전치 왜곡 신호($u(t)$)를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하는 단계를 포함하는 것을 특징으로 한다.

<42> 바람직하게는, 상기 b) 단계는 소정 단위로 순차적으로 증가하는 상기 입력 신호($x(t)$)의 크기에 대응하여 양자화된 신호값들로 구성된 룩업 테이블(look-up table)을 만들고, 이 룩업 테이블을 통해 상기 역 왜곡 피드백 신호($e(t)$)를 추출하는 과정을 포함한다.

<43> 더욱이, 상기 목적을 달성하기 위한 본 발명의 제4 실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 방법은, 무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 의해 구현되는 선형화 방법에 있어서, 상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값의 크기에 대응하여 양자화된 신호값들로 이루어지는 룩업 테이블을 구성하는 단계; 상기 전력 증폭기에서 피드백되는 출력 신호와 관련되는 피드백 출력 참조 신호($y_r(t)$)를 상기 룩업 테이블에서 선택 결정하는 단계; 상기 입력 신호($x(t)$)에 상기 피드백 출력 참조 신호($y_r(t)$)를 가산하여 상기 전력 증폭기에 입력되는 오차 신호($x_e(t)$)를 생성하는 단계; 및 상기 전력 증폭기가 상기 오차 신호($x_e(t)$)를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하는 단계를 포함하는 것을 특징으로 한다.

<44> 이하, 첨부한 도면을 참조하면서 본 발명에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치 및 방법의 바람직한 실시예를 상세하게 설명한다. 본 발명을 설명함에 있어서 관련된 공지기술 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에

따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

<45> 한편, 이하의 설명에 있어서, 종래기술에 따른 기술 구성과 본 발명에 의한 기술 구성이 동일한 경우에는 종래기술에서 사용하였던 도면 부호를 그대로 사용하고, 이에 대한 상세한 설명은 생략한다.

<46> 도 2를 참조하면, 본 발명의 일 실시예의 선형화 장치(100)는, 전력 증폭기(10)의 입출력 신호의 차를 생성하기 위한 전력 증폭기 입출력 신호 차감부(112)와; 입출력 신호 차감부(112)의 출력 신호값과, 소정 경로를 통해 상기 선형화 장치(100)로 입력되는 입력 신호($x(t)$)의 절대값을 토대로 입력 신호($x(t)$)에 대응하는 역 왜곡 피드백 신호($e(t)$)를 추출하는 역 왜곡 피드백 신호 추출부로서 룩업 테이블(14); 및 입력 신호($x(t)$)에 역 왜곡 피드백 신호($e(t)$)를 가산하여 전력 증폭기(10)에 입력되는 전치 왜곡 신호($u(t)$)를 생성하는 신호 가산부(116); 전력 증폭기(10)의 출력단과 입출력 신호 차감부(112) 사이에 개재되어 전력 증폭기(10)의 출력 신호($y(t)$)의 크기를 선형화 장치(100)의 전체 이득(G_{PD})의 역수 만큼 감쇄시키는 출력 신호 감쇄부(118)를 포함하여 이루어진다. 여기서, 전력 증폭기(10)는 전치 왜곡 신호($u(t)$)를 입력 신호로 사용하여 전력 증폭기(10)를 선형화한다.

<47> 도 2에 도시한 바와 같이 본 발명의 입출력 신호 차감부(112)와, 역 왜곡 피드백 신호 추출부로서 룩업 테이블(114), 및 신호 가산부(116)는 일종의 디지털 신호 처리기(DSP; Digital Signal Processor)(110)로 구성될 수 있다. 한편, 본 발명의 역 왜곡 피드백 신호 추출부로서 룩업 테이블(114)은, 소정 단위로 순차적으로 증가하는, 예를 들면 1씩 증가하는 입력 신호($x(t)$)의 크기에 대응하여 양자화된 신호값들로 구성된다. 다른 한편, 본 발명의 선형

화 장치(100)는 도 2에 도시한 바와 같이 전치 왜곡 신호($u(t)$)가 피드백되어 입력 신호($x(t)$)에 다시 가산될 때의 이득(G_u)을 1에 근사한 값으로 한다.

<48> 도 4를 참조하면, 이는 본 발명의 다른 실시예의 선형화 장치(200)로서, 선형화 장치(200)로 입력되는 입력 신호($x(t)$)의 절대값의 크기에 대응하여 양자화된 신호값들로 이루어지는 룩업 테이블(214)과; 전력 증폭기(10)에서 피드백되는 출력 신호와 관련되는 피드백 출력 참조 신호($y_r(t)$)를 룩업 테이블(214)에서 선택 결정하기 위한 피드백 출력 참조신호 결정부(215); 입력 신호($x(t)$)에 피드백 출력 참조 신호($y_r(t)$)를 가산하여 전력 증폭기(10)에 입력되는 오차 신호($x_e(t)$)를 생성하는 신호 가산부(216); 및 전력 증폭기(10)의 출력 신호의 크기를 선형화 장치(200)의 전체 이득(k)의 역수 만큼 감쇄시키는 출력 신호 감쇄부(218)를 포함하여 이루어진다. 여기서, 전력 증폭기(10)는 오차 신호($x_e(t)$)를 입력 신호로 사용하여 전력 증폭기(10)를 선형화한다.

<49> 한편, 도 4에 도시한 본 발명의 실시예에 있어서, 전력 증폭기(10) 자체의 이득을 A 로 표시하고, 증폭기(10)에 의한 왜곡 성분을 $d(t)$ 로 표시하고, 피드백에 의한 감쇄 정도를 $1/K$ 로 표시하고, 전력 증폭기(10)의 출력 신호를 $y(t)$ 로 표시할 때, 아래와 공식이 성립한다.

<50>
$$y(t) = A \cdot x_e(t) + d(t). \quad (2)$$

<51>
$$y_r(t) = \frac{y(t)}{K} \quad (3)$$

<52>
$$x_e(t) = x(t) - y_r(t) \quad (4)$$

<53>
$$y(t) = \frac{K(Ax(t) + d(t))}{K + A} \quad (5)$$

<54>
$$y(t) = Kx(t) + \frac{Kd(t)}{A} \quad (6)$$

<55> 상기 공식 (6)은 공식 (5)에서 $A \gg K$ 로 가정함으로써 구해진다.

<56> 도 3을 참조하면, 이는 도 2에 도시한 본 발명의 선형화 장치에 의해 구현되는 선형화 방법의 흐름도이다. 도 3을 참조하면, 본 발명의 선형화 방법은, 전력 증폭기(10)의 입출력 신호의 차(D; Difference)를 생성하는 단계(S100)와; S100 단계에서 생성된 입출력 신호 차(D)의 값과, 선형화 장치(100)로 입력되는 입력 신호($x(t)$)의 절대값을 토대로 구성된 룩업 테이블(114)에서 역 왜곡 피드백 신호($e(t)$)를 추출하는 단계(S110)와; 입력 신호($x(t)$)에 역 왜곡 피드백 신호($e(t)$)를 가산하여 전력 증폭기(10)에 입력되는 전치 왜곡 신호($u(t)$)를 생성하는 단계(S120); 및 전력 증폭기(10)가 전치 왜곡 신호($u(t)$)를 입력 신호로 사용하여 전력 증폭기(10)를 선형화하는 단계(S130)를 포함하여 이루어진다.

<57> 한편, 도 5를 참조하면, 이는 도 4에 도시한 본 발명의 다른 실시예에 의한 선형화 장치에 의해 구현되는 선형화 방법의 흐름도이다. 도 5를 참조하면, 본 발명의 다른 실시예의 선형화 방법은, 선형화 장치(200)로 입력되는 입력 신호($x(t)$)의 절대값의 크기에 대응하여 양자화된 신호값들로 이루어지는 룩업 테이블(214)을 구성하는 단계(S200)와; 전력 증폭기(10)에서 피드백되는 출력 신호와 관련되는 피드백 출력 참조 신호($y_r(t)$)를 룩업 테이블(214)에서 선택 결정하는 단계(S210)와; 입력 신호($x(t)$)에 피드백 출력 참조 신호($y_r(t)$)를 가산하여 전력 증폭기(10)에 입력되는 오차 신호($x_e(t)$)를 생성하는 단계(S220); 및 전력 증폭기(10)가 오차 신호($x_e(t)$)를 입력 신호로 사용하여 전력 증폭기(S230)를 선형화하는 단계(S230)를 포함하여 이루어진다.

<58> 상기와 같이 구성된 본 발명에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치의 실시예들의 작용을 도 2 내지 도 8를 참조하여 설명하면 다음과 같다.

<59> 도 2에 도시한 본 발명의 일실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치의 동작 원리는, 도 1을 참조하면서 설명한 종래기술의 아날로그 피드백 전치 왜곡 장치와 같으나, 본 발명에서의 역 왜곡 피드백 신호($e(t)$)는 룩업 테이블(114)에 구성되어 있다는 점에 그 차이가 있다. 또한, 종래기술의 상쇄 통로의 이득인자(G_u)와 피드백 통로의 이득인자(G_y)는, 본 발명에서는 디지털 신호 처리기(110)에 의해 조정된다.

<60> 본 발명에서 룩업 테이블(114)의 사용은 전력 증폭기(10)의 동작 대역을 확장케 하며, 발진의 가능성을 제거해 준다. 따라서, 본 발명에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치는 우수한 선형성, 우수한 가격, 크기 경쟁력, 기지국 디지털 파트와의 호환성, 광대역 동작, 안정성 등 기존의 디지털 전치 왜곡 장치의 장점들을 모두 가지고 있으며, 더불어서 기존의 아날로그 전치 왜곡 장치의 가장 큰 장점인 높은 왜곡 상쇄 오차 허용도를 동시에 가진다.

<61> 도 6은 본 발명의 일실시예에 따른 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치(100)의 동작 과정을 나타내는데, 본 발명의 동작 과정은 도시한 바와 같이 크게 두 단계로 나눌 수 있다. 첫번째 단계는 룩업 테이블(114)을 구현하는 단계로, 예를 들어 입력단에 1부터 n 까지 크기가 순차적으로 증가하는 트레이닝 신호(training signal)를 입력시키고 수렴의 과정을 통해 입력의 크기에 따른 n 개의 양자화(quantization)된 피드백 신호($e(t)$)의 룩업 테이블(114)을 얻는다. 두번째 단계는 전력 증폭기(10)의 선형화 단계로, 도시한 바와 같이 룩업 테이블(114)을 얻기 위해 필요했던 통로들은 제거되고 룩업 테이블(114)을 이용해 전력 증폭기(10)를 선형화시킨다.

<62> 한편, 도 4 및 도 5에 도시한 본 발명의 다른 실시예의 동작 원리는 피드백 참조 신호($y_r(t)$)를 룩업 테이블(214)에 의해 구현하는 것 이외에는 기존의 아날로그 피드백 전치

왜곡 장치(도 1)와 같다. 아래의 공식 (2) 내지 (6)은 도 4에 도시한 본 발명의 다른 실시예의 디지털 피드백 선형화 장치(200)의 동작 원리를 나타내는 공식들로서, 공식 (4)에서 피드백 참조 신호($y_r(t)$)가 입력의 크기에 대한 룩업 테이블(214)로 구성된다. 아래 공식에서, A 는 전력 증폭기 자체의 이득을 나타내고, $d(t)$ 는 전력 증폭기에 의한 왜곡 성분을, $1/K$ 는 피드백 통로의 감쇄 정도를 나타낸다.

$$<63> \quad y(t) = A \cdot x_e(t) + d(t) \quad (2)$$

$$<64> \quad y_r(t) = \frac{y(t)}{K} \quad (3)$$

$$<65> \quad x_e(t) = x(t) - y_r(t) \quad (4)$$

$$<66> \quad y(t) = \frac{K(Ax(t) + d(t))}{K + A} \quad (5)$$

$$<67> \quad y(t) = Kx(t) + \frac{Kd(t)}{A} \quad (6)$$

<68> 상기 공식 (5)에서 도 4의 선형화 장치가 $A \gg K$ 로 설계된다면, $(K+A) \approx A$ 로 근사화되며, 그 결과 공식 (6)을 얻는다. 공식 (6)에서 알 수 있듯이 왜곡 성분 $d(t)$ 는 K/A 에 의해 감쇄되어 선형화된다. 피드백 참조 신호($y_r(t)$)를 룩업 테이블(214)로 대신함으로써 선형화 장치 지연 오차를 방지할 수 있으며, 기존의 아날로그 피드백 전치 왜곡 장치의 문제점인 불안정성과 협대역성을 충분히 극복할 수 있고, 공식 (6)과 같은 선형화를 이룰 수 있다.

<69> 도 7 및 도 8을 참조하여 본 발명에 따른 디지털 피드백 선형화 장치와 종래기술에 의한 디지털 전치 왜곡 장치의 성능을 비교하면 다음과 같다.

<70> 도 7은 룩업 테이블(114)(214)을 얻는 과정에서 기존의 디지털 전치 왜곡 장치(PD; Predistorter)와 본 발명에 따른 디지털 피드백 선형화 장치(FBPD; Feed Back Predistorter)의

수렴 속도의 시뮬레이션 결과를 비교하여 나타낸 그래프이다. 도 7에서 가로축은 시뮬레이션의 반복 횟수를 나타내며, 세로축은 전력 증폭기(10) 출력 신호의 선형화 후 남아있는 왜곡 정도를 나타낸다. 도 7에서 알 수 있듯이 본 발명의 디지털 피드백 선형화 장치가 기존의 디지털 전치 왜곡 장치에 비해 훨씬 더 우수한 수렴 특성을 보임은 명백하다.

<71> 도 8a는 피드백 신호($e(t)$)에 있어서 진폭의 오차가 생겼을 때, 기존의 디지털 전치 왜곡 장치(PD)와 본 발명에 따른 디지털 피드백 선형화 장치(FBPD)의 출력 신호의 선형화 후 왜곡 정도의 시뮬레이션 결과를 비교하여 나타낸 것이고, 도 8b는 피드백 신호($e(t)$)에 있어서 위상의 오차가 생겼을 때, 기존의 디지털 전치 왜곡 장치(PD)와 본 발명에 따른 디지털 피드백 선형화 장치(FBPD)의 출력 신호의 선형화 후 왜곡 정도의 시뮬레이션 결과를 비교하여 나타낸 것이다. 도 8a 및 도 8b를 참조하면, 진폭과 위상 오차 모두에서 본 발명의 선형화 장치가 기존의 디지털 전치 왜곡 장치에 비해 훨씬 더 낮은 레벨의 왜곡 특성을 보임을 알 수 있다. 이러한 사실에 비추어 볼 때, 본 발명에 따른 디지털 피드백 선형화 장치는 우수한 왜곡 상쇄 오차 허용도를 가짐을 확인할 수 있다.

<72> 도 7 및 도 8에 나타난 시뮬레이션 결과에서 알 수 있듯이, 본 발명에 따른 디지털 피드백 선형화 장치는 기존의 아날로그 피드백 전치 왜곡 장치의 단점을 보완할 수 있고, 기존의 디지털 전치 왜곡 장치보다 수렴 속도와 오차 허용도에서 우수한 특성을 보임은 명백하다. 즉, 본 발명에 따른 디지털 피드백 선형화 장치는 기존의 아날로그 피드백 전치 왜곡 장치의 장점과 디지털 전치 왜곡 장치의 장점을 모두 가지고 있음을 알 수 있다.

【발명의 효과】

<73> 이상에서 살펴본 바와 같은 본 발명에 따른 전력 증폭기의 선형화를 위한 선형화 장치 및 방법은, 디지털 신호 처리(DSP; Digital Signal Process)와 피드백 기술을 이용하는 디지털

피드백 전치 왜곡 장치(FBPD; Feedback Predistorter) 및 방법으로서, 소정 경로를 통해 입력되는 입력 신호에 전력 증폭기(PA; Power Amplifier)의 왜곡 성분에 대응되는 역 왜곡 성분을 피드백으로 가산하여 선형화에 필요한 전치 왜곡 신호를 생성하고, 이 전치 왜곡 신호를 전력 증폭기에 통과시켜 선형적으로 증폭된 출력 신호를 얻도록 함으로써 전력 증폭기의 선형성을 효과적으로 개선시킬 수 있고, 안정성이 우수하고 넓은 동작 대역을 가지며, 가격과 크기 경쟁력이 우수한 이점을 제공한다.

<74> 이상 본 발명의 바람직한 실시예에 대해 상세히 기술하였지만, 본 발명이 속하는 기술분야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구 범위에 정의된 본 발명의 정신 및 범위를 벗어나지 않으면서 본 발명을 여러 가지로 변형 또는 변경하여 실시할 수 있음을 알 수 있을 것이다. 따라서 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

【특허청구범위】**【청구항 1】**

무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 있어서,
상기 전력 증폭기의 입출력 신호의 차를 생성하기 위한 전력 증폭기 입출력 신호 차감
수단;

상기 입출력 신호 차감수단의 출력 신호값과, 소정 경로를 통해 상기 선형화 장치로 입
력되는 입력 신호($x(t)$)의 절대값을 토대로 상기 입력 신호($x(t)$)에 대응하는 역 왜곡 피드백
신호($e(t)$)를 추출하는 역 왜곡 피드백 신호 추출수단; 및

상기 입력 신호($x(t)$)에 상기 역 왜곡 피드백 신호($e(t)$)를 가산하여 상기 전력 증폭기
에 입력되는 전치 왜곡 신호($u(t)$)를 생성하는 신호 가산수단을 포함하고,

상기 전력 증폭기는 상기 전치 왜곡 신호를 입력 신호로 사용하여 상기 전력 증폭기를
선형화하도록 된 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치

【청구항 2】

제1항에 있어서, 상기 역 왜곡 피드백 신호 추출수단은 소정 단위로 순차적으로 증가하
는 상기 입력 신호($x(t)$)의 크기에 대응하여 양자화된 신호값들로 구성된 룩업 테이블(look-up
table)을 포함하여 된 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화
장치.

【청구항 3】

제1항에 있어서, 상기 전력 증폭기 입출력 신호 차감수단, 상기 역 왜곡 피드백 신호 추출수단, 및 상기 신호 가산수단은 디지털 신호 처리기(DSP; Digital Signal Processor)로 구성되는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 4】

제1항에 있어서, 상기 전력 증폭기의 출력단과 상기 전력 증폭기 입출력 신호 차감수단 사이에 개재되어 상기 전력 증폭기의 출력 신호의 크기를 조정하는 출력 신호 감쇄수단을 포함하는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 5】

제4항에 있어서, 상기 출력 신호 감쇄수단은 상기 출력 신호의 크기를 상기 선형화 장치의 전체 이득(gain)의 역수 만큼 감쇄시키도록 이루어지는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 6】

제1항에 있어서, 상기 전치 왜곡 신호($u(t)$)가 피드백되어 상기 입력 신호($x(t)$)에 다시 가산될 때의 이득(G_u)은 1에 근사한 값을 갖는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 7】

무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 있어서, 상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값의 크기에 대응하여 양자화된 신호값들로 이루어지는 룩업 테이블;

상기 전력 증폭기에서 피드백되는 출력 신호와 관련되는 피드백 출력 참조 신호($y_r(t)$)를 상기 록업 테이블에서 선택 결정하기 위한 피드백 출력 참조신호 결정수단;

상기 입력 신호($x(t)$)에 상기 피드백 출력 참조 신호($y_r(t)$)를 가산하여 상기 전력 증폭기에 입력되는 오차 신호($x_e(t)$)를 생성하는 신호 가산수단을 포함하고,

상기 전력 증폭기는 상기 오차 신호($x_e(t)$)를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하도록 된 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 8】

제7항에 있어서, 상기 전력 증폭기의 출력 신호의 크기를 조정하는 출력 신호 감쇄수단을 더 포함하고,

상기 출력 신호 감쇄수단은 상기 출력 신호의 크기를 상기 선형화 장치의 전체 이득 (gain)의 역수 만큼 감쇄시키도록 이루어지는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 9】

제7항에 있어서, 상기 전력 증폭기 자체의 이득을 A로 표시하고, 상기 증폭기에 의한 왜곡 성분을 $d(t)$ 로 표시하고, 피드백에 의한 감쇄 정도를 $1/K$ 로 표시하고, 상기 전력 증폭기의 출력 신호를 $y(t)$ 로 표시할 때, 아래와 공식이:

$$y(t) = A \cdot x_e(t) + d(t)$$

$$y_r(t) = \frac{y(t)}{K}$$

$$x_e(t) = x(t) - y_r(t)$$

성립하는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 장치.

【청구항 10】

무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 의해 구현되는 선형화 방법에 있어서,

a) 상기 전력 증폭기의 입출력 신호의 차를 생성하는 단계;

b) 상기 a) 단계에서 생성된 입출력 신호 차의 값과, 소정 경로를 통해 상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값을 토대로 상기 입력 신호($x(t)$)에 대응하는 역 왜곡 피드백 신호($e(t)$)를 추출하는 단계;

c) 상기 입력 신호($x(t)$)에 상기 역 왜곡 피드백 신호($e(t)$)를 가산하여 상기 전력 증폭기에 입력되는 전치 왜곡 신호($u(t)$)를 생성하는 단계; 및

d) 상기 전력 증폭기가 상기 전치 왜곡 신호($u(t)$)를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하는 단계를 포함하는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 방법.

【청구항 11】

제10항에 있어서, 상기 b) 단계는 소정 단위로 순차적으로 증가하는 상기 입력 신호($x(t)$)의 크기에 대응하여 양자화된 신호값들로 구성된 룩업 테이블(look-up table)을 만들고, 이 룩업 테이블을 통해 상기 역 왜곡 피드백 신호($e(t)$)를 추출하는 과정을 포함하는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 방법.

【청구항 12】

무선 통신 기지국 등에 사용되는 전력 증폭기의 선형화를 위한 선형화 장치에 의해 구현되는 선형화 방법에 있어서,

상기 선형화 장치로 입력되는 입력 신호($x(t)$)의 절대값의 크기에 대응하여 양자화된 신호값들로 이루어지는 룩업 테이블을 구성하는 단계;

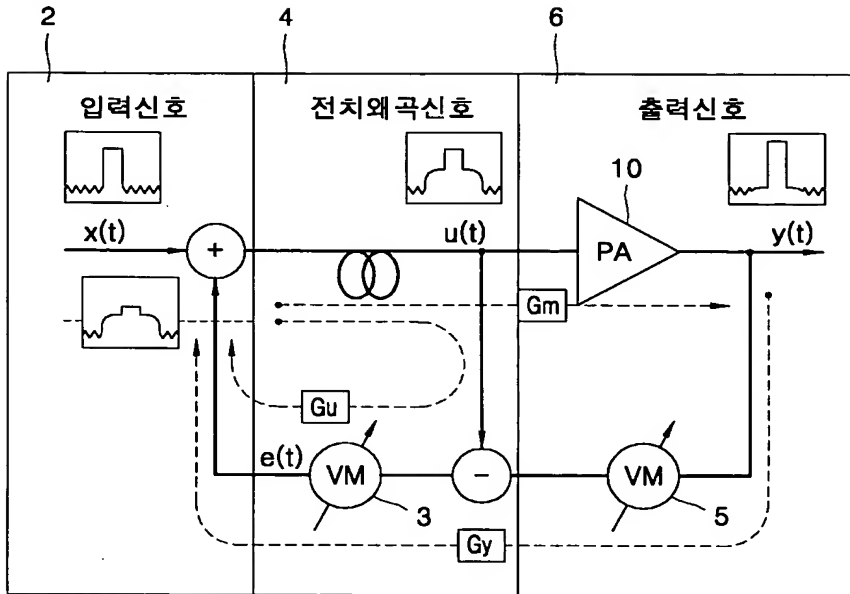
상기 전력 증폭기에서 피드백되는 출력 신호와 관련되는 피드백 출력 참조 신호($y_r(t)$)를 상기 룩업 테이블에서 선택 결정하는 단계;

상기 입력 신호($x(t)$)에 상기 피드백 출력 참조 신호($y_r(t)$)를 가산하여 상기 전력 증폭기에 입력되는 오차 신호($x_e(t)$)를 생성하는 단계; 및

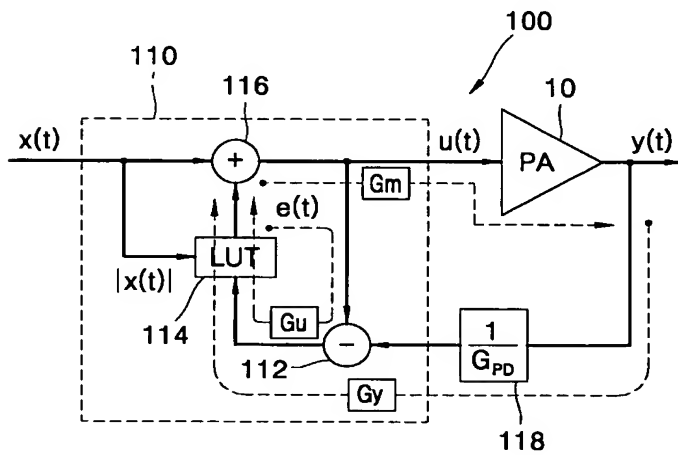
상기 전력 증폭기가 상기 오차 신호($x_e(t)$)를 입력 신호로 사용하여 상기 전력 증폭기를 선형화하는 단계를 포함하는 것을 특징으로 하는 전력 증폭기의 선형화를 위한 디지털 피드백 선형화 방법.

【도면】

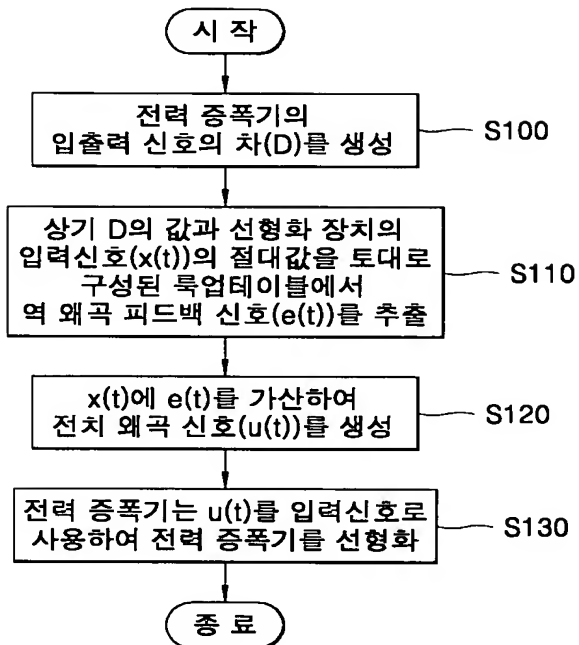
【도 1】



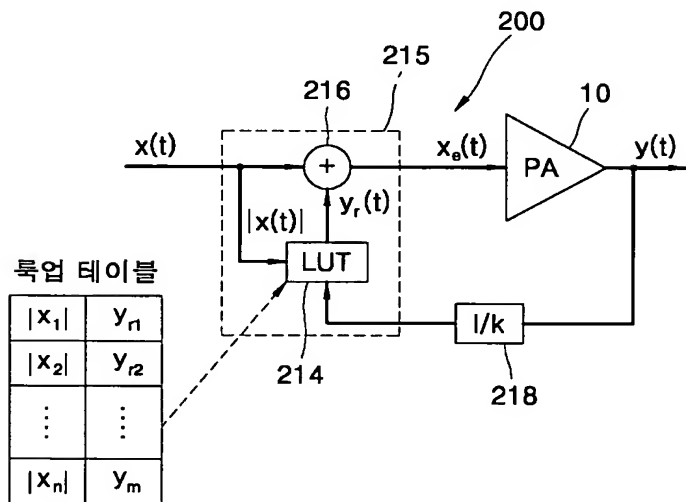
【도 2】



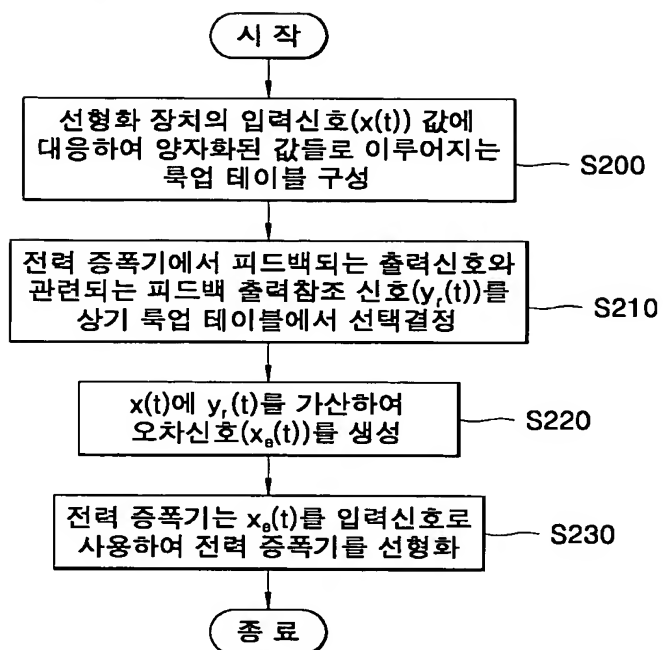
【도 3】



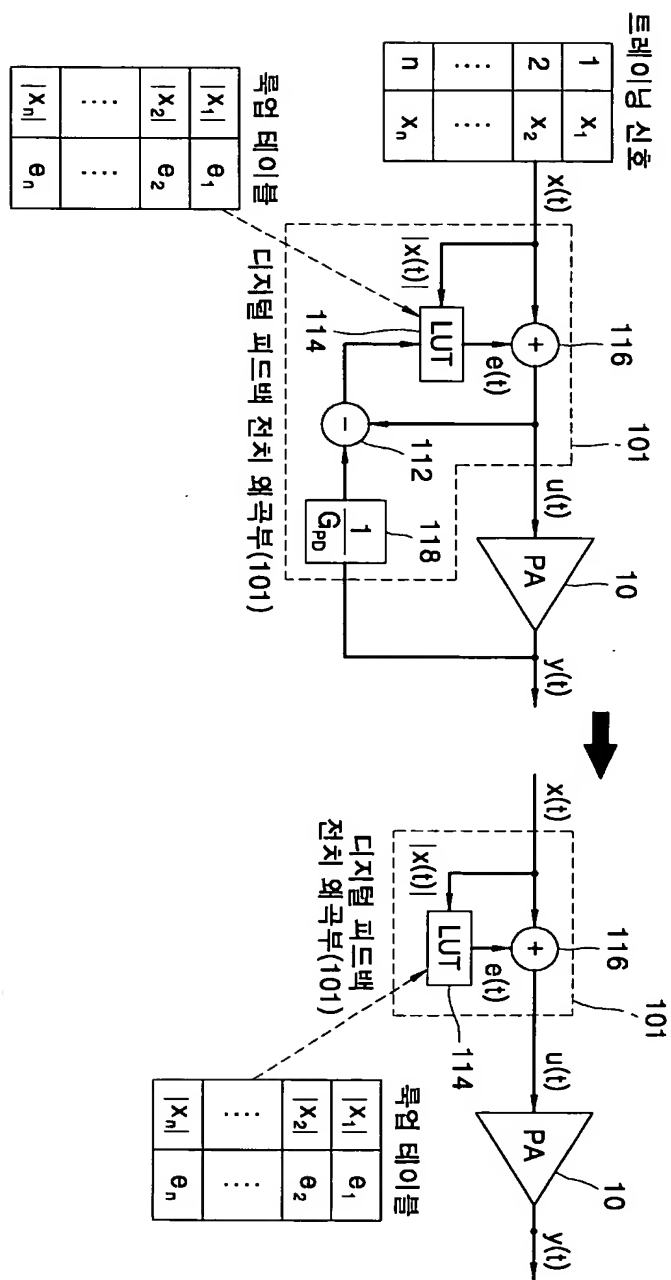
【도 4】



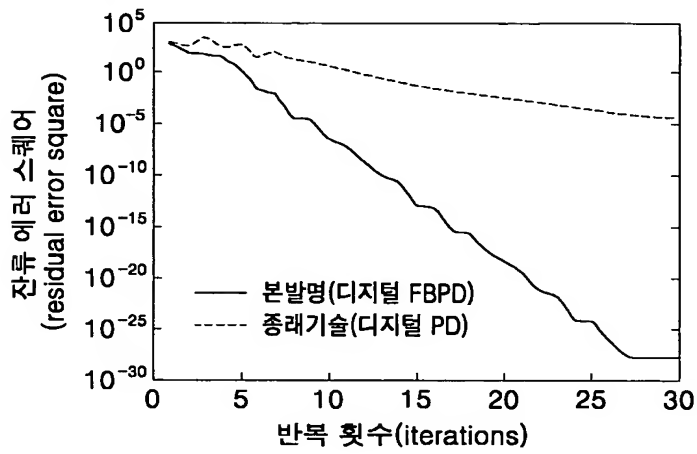
【도 5】



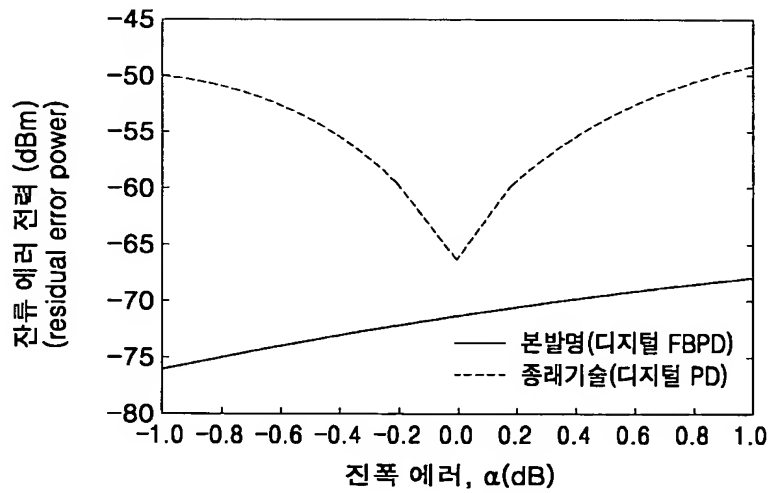
【도 6】



【도 7】



【도 8a】



【도 8b】

